VLSI Design Automation (CAD)

Part I: Introduction

Kiarash Bazargan

Isfahan University of Technology

Administrative Issues

- Class
  - Time and venue: **Sun, Tue 9:30-11am, Mojtame 18**
  - Web page:
    - http://ece.iut.ac.ir/faculty/kia/Courses/VlsiCad
    - !!!! Check the class web page & discussion group regularly !!!!
  - Textbook:
    Sadiq M. Sait, Habib Youssef, "VLSI Physical Design Automation: Theory and Practice", World Scientific Publishing Company; 1st edition (November 15, 1999)
- Grades
  - 30% homework
  - 10% presentations / papers
  - 10% quizzes
  - 20% midterm: open book, open notes
  - 30% final exam

Administrative Issues (cont.)

- Personnel
  - TA: Mohammad Tahghighi
  - Instructor: Kiarash Bazargan
    - Email: **kiarash@cc.iut.ac.ir**
    - Phone: (311) 391-5466
    - Office: 421 ECE
    - Office hours: Sat, 1:30-4:00pm
- تاریخ سفرهای من در ترم 2-1386:
  - 16 الی 21 بهمن: جلسه داوری کنفرانس DAC
  - 2 الی 11 اسفند: کنفرانس FPGA (session chair)
  - حوالی 25 اردیبهشت: جلسه داوری کنفرانس FPL
  - 15 الی 25 خرداد (تقریبی): کنفرانس DAC

قوانین

- با هرگونه **تقلب** بسیار **جدی برخورد خواهد شد**.
  - تقلب عبارت است از ارائه کار شخص دیگری به جای تکلیف یا امتحان یا کویز یا قسمتی از اینها. فرقی نمیکند کسی که به جای شما کار را انجام داده از همکلاسیهای شما باشد، از دیگر دانشجویان یا حتی از خارج از دانشگاه باشد و یا از روی وب کار را پیدا کرده باشید.
  - مشورت کردن با دیگران در حد راهنماییهای کلی اشکالی ندارد ولی خط به خط برنامه شما باید توسط خود شما تایپ شده باشد.
  - اگر از کسی یا جایی روی وب قسمتی از برنامه خود را میگیرید، **حتما باید منبع آن را در خود برنامه اعلام کنید** و **از قبل با من هماهنگ کنید**.
- **اولین تقلب** باعث میشود به اندازه نمره تکلیف یا کویز یا امتحانی که در آن تقلب کرده اید، **نمره منفی** بگیرید. **دومین تقلب** منجر به نمره **صفر** برای درس و **معرفی به کمیته انضباطی** میگردد (که کاملا ممکن است به اخراج از دانشگاه منجر شود).

قوانین

- اگر در انجام تکلیف مشکلی یا سوالی دارید، سوال خود را به گروه جی میل بفرستید. اگر جواب سوال همکلاسی خود را بلد هستید، جواب را بر روی گروه پست کنید. حتما منتظر نباشید من یا دانشجویان حل تمرین جواب دهند.
- کلیه تکلیفها باید تا قبل از ساعت 11 صبح (قبل از کلاس) ایمیل شوند. در طول ترم، سه روز وقت اضافه دارید که میتوانید هر طور که خواستید آنرا مصرف کنید (مثلا فقط یک تکلیف را سه روز دیر تحویل دهید یا اینکه سه تکلیف را هر کدام یک روز دیر تحویل دهید). بعد از استفاده از سه روز وقت اضافه، هر تکلیفی که بیش از ده دقیقه دیرتر از موعد تحویل فرستاده شود، نمره ای نخواهد گرفت.
- حداکثر تا یک هفته بعد از اعلام نتایج هر تکلیف یا کویز یا امتحان میتوانید نسبت به نمره خود اعتراض نمایید. پس از این مهلت نمره شما تغییر نخواهد کرد.

قوانین

- اسم و شماره دانشجویی خود را در ابتدای برنامه هایی که ایمیل میکنید و همچنین روی برگه های کویز و امتحان بنویسید.
- هیچ گونه کار یا تمرین اضافه برای جبران نمره بد قبول نخواهد شد.
- **اگر بیش از 10 درصد تکالیف را تحویل ندهید و یا از کل نمره تکلیف کمتر از 50 درصد نمره را بگیرید، نمره پایانی درس شما حداکثر 9.9 خواهد بود.**
- اگر پشت سر من، مرا به نام دراکولا یا هیولا یا خرس گریزلی یا استاد بداخلاق بی جنبه نام ببرید، نمره شما صفر خواهد بود :)

Online Slides

- Slides are posted on the web
  - Handouts posted as .pdf files
  - Powerpoint slides provided too
    - NOTE: some slides are animated (like this one)
    - Click on the slide to see the animation
    - Click once more.
    - Note: some slides have notes! (like this one)
    - Some slides contain text that is not printed in the handouts, but animated. These are left for you to fill out in the handouts. An example is shown below (animated: click to see)

References and Copyright

- Textbooks referred (none required)
  - [Mic94] G. De Micheli
    "Synthesis and Optimization of Digital Circuits"
    McGraw-Hill, 1994.
  - [CLR90] T. H. Cormen, C. E. Leiserson, R. L. Rivest
    "Introduction to Algorithms"
    MIT Press, 1990.
  - [Sar96] M. Sarrafzadeh, C. K. Wong
    "An Introduction to VLSI Physical Design"
    McGraw-Hill, 1996.
  - [She99] N. Sherwani
    "Algorithms For VLSI Physical Design Automation"
    Kluwer Academic Publishers, 3rd edition, 1999.

References and Copyright (cont.)

- Slides used: (*Modified by Kia when necessary*)
  - [©Sarrafzadeh] © Majid Sarrafzadeh, 2001;
    Department of Computer Science, UCLA
  - [©Sherwani] © Naveed A. Sherwani, 1992
    (companion slides to [She99])
  - [©Keutzer] © Kurt Keutzer, Dept. of EECS,
    UC-Berekeley
    http://www-cad.eecs.berkeley.edu/~niraj/ee244/index.htm
  - [©Gupta] © Rajesh Gupta
    UC-Irvine
    http://www.ics.uci.edu/~rgupta/ics280.html

What is This Course All About?

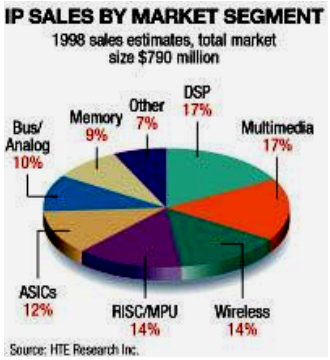
- Prerequisite
  - C / C++ programming experience
  - Kia will try to provide tutorials
- What is covered?
  - Basic algorithms, complexity theory
  - Integrated circuit (IC) Design flow
  - Computer Aided Design (CAD) tool development for Very Large Scale Integration (VLSI)
  - Lots of programming!
- Next slides:
  - Overview of IC design steps
  - Related courses at U of M
  - Outline of this course

IC Products

- Processors
  - CPU, DSP, Controllers
- Memory chips
  - RAM, ROM, EEPROM
- Analog
  - Mobile communication, audio/video processing
- Programmable
  - PLA, FPGA
- Embedded systems
  - Used in cars, factories
  - Network cards
- System-on-chip (SoC)

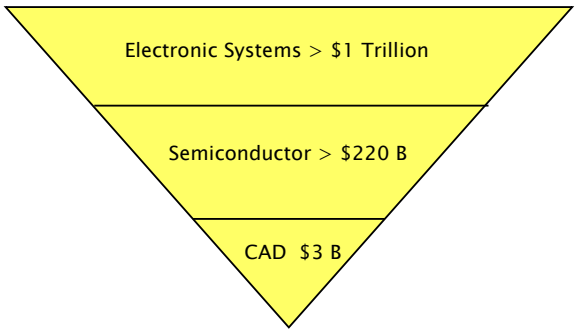
Images: amazon.com

IC Product Market Shares

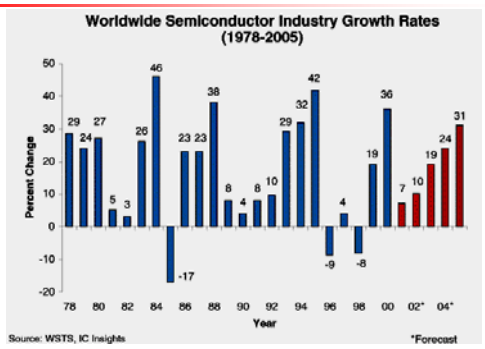


Source: Electronic Business

The Inverted Pyramid

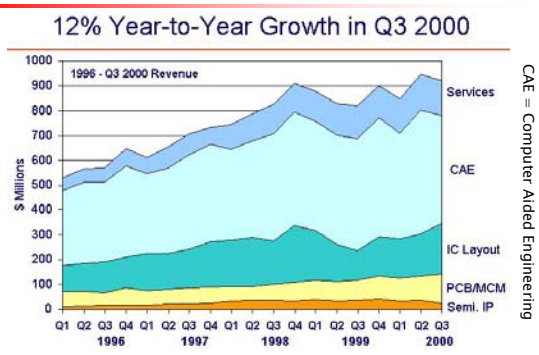


Semiconductor Industry Growth Rates



Source: http://www.icinsight.com/ (McClean Report)

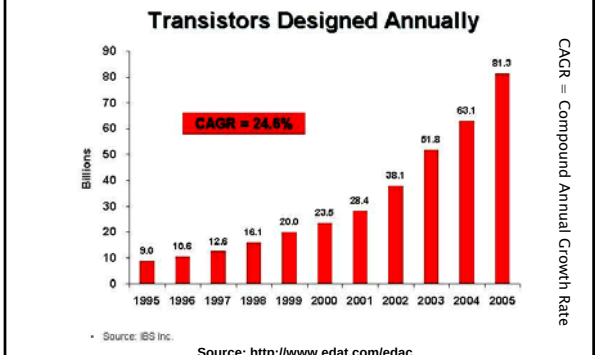
More Demand for EDA



CAE = Computer Aided Engineering

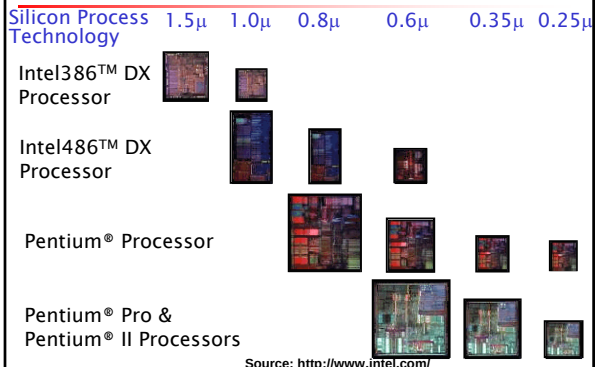
Source: http://www.edat.com/edac

Growth in System Size



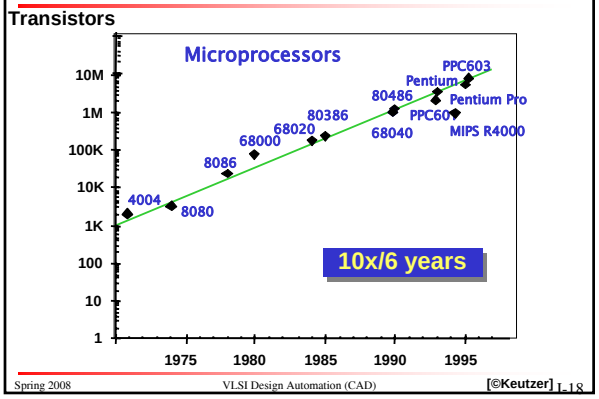
Source: http://www.edat.com/edac

Example: Intel Processor Sizes

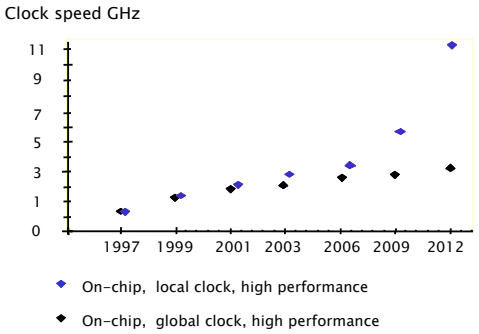


Source: http://www.intel.com/

Moore's Law



NRTS: Chip Frequencies



Increasing Device and Context Complexity

- Exponential increase in device complexity
  - Increasing with Moore's law (or faster)!
- More complex system contexts
  - System contexts in which devices are deployed (e.g. cellular radio) are increasing in complexity
- Require exponential increases in design productivity

Complexity

We have exponentially more transistors!

Deep Submicron Effects

- Smaller geometries are causing a wide variety of effects that we have largely ignored in the past:
  - Cross-coupled capacitances
  - Signal integrity
  - Resistance
  - Inductance

DSM Effects

Design of each transistor is getting more difficult!

Heterogeneity on Chip

- Greater diversity of on-chip elements
  - Processors
  - Software
  - Memory
  - Analog

Heterogeneity

More transistors doing different things!

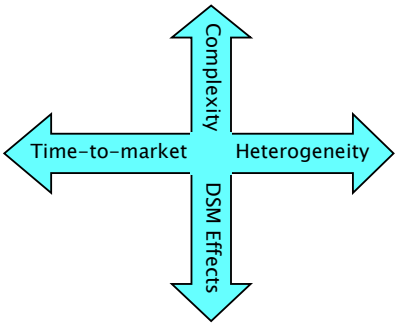
Stronger Market Pressures

- Decreasing design window
- Less tolerance for design revisions

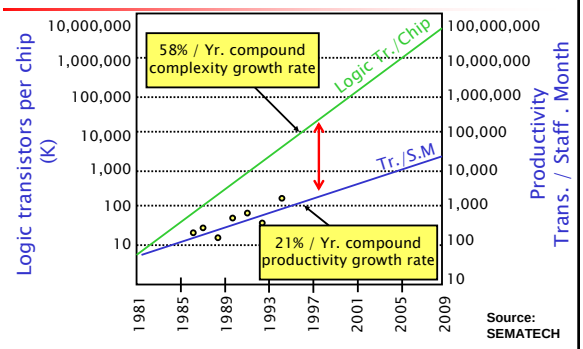
Time-to-market

Exponentially more complex, greater design risk, greater variety, and a smaller design window!

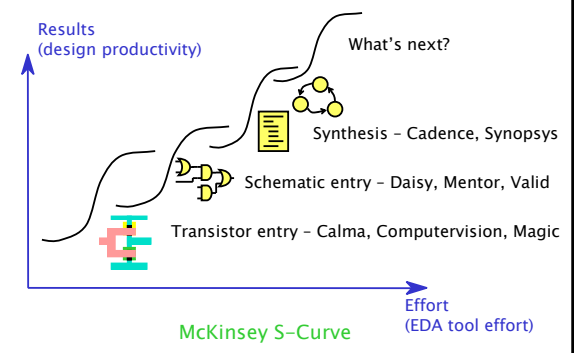
A Quadruple-Whammy



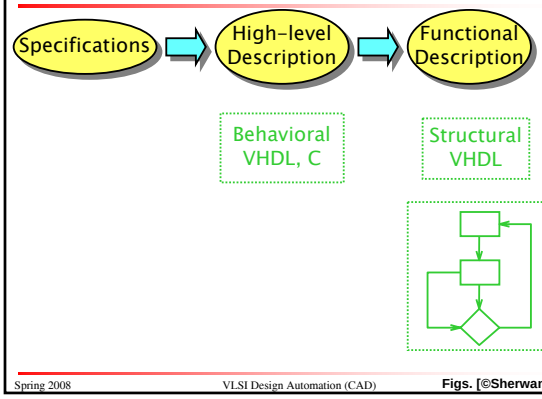
How Are We Doing?



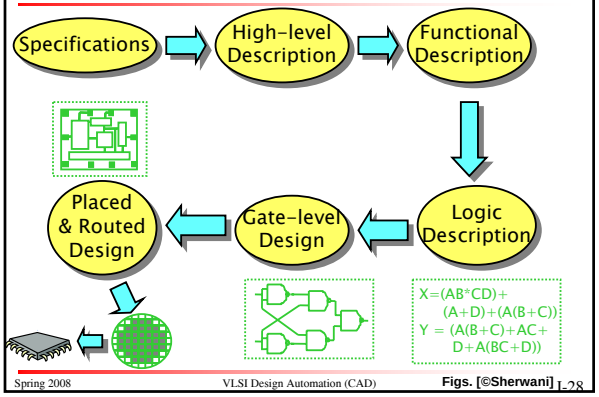
Evolution of the EDA Industry



IC Design Steps (cont.)

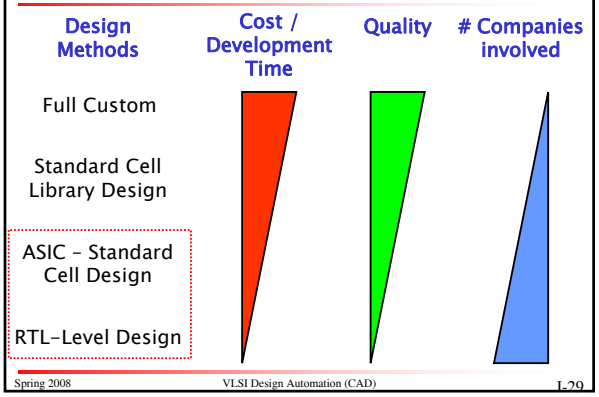


IC Design Steps (cont.)



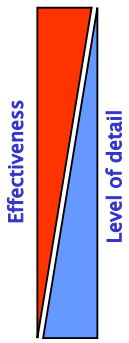
Figs. [©Sherwani]

The Big Picture: IC Design Methods

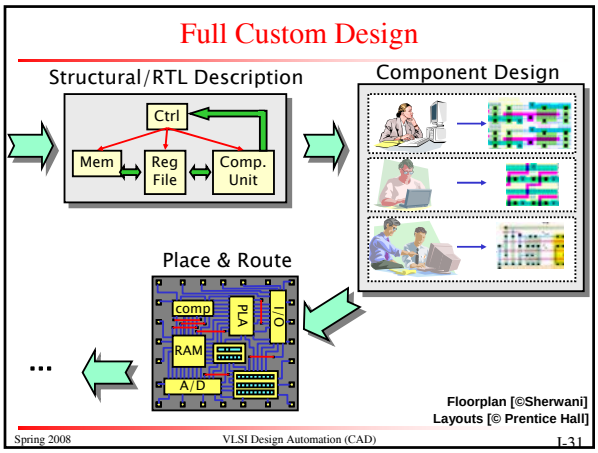


Optimization: Levels of Abstraction

- Algorithmic
  - Encoding data, computation scheduling, balancing delays of components, etc.
- Gate-level
  - Reduce fan-out, capacitance
  - Gate duplication, buffer insertion
- Layout / Physical-Design
  - Move cells/gates around to shorten wires on critical paths
  - Abut rows to share power / ground lines

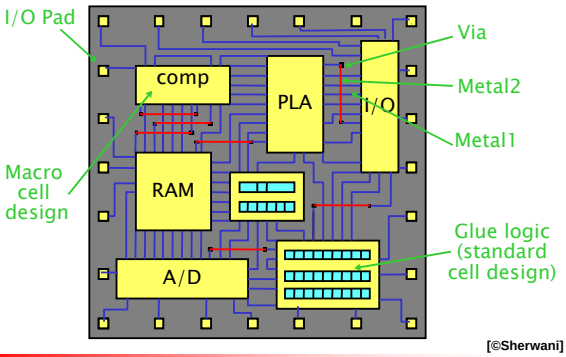


Full Custom Design



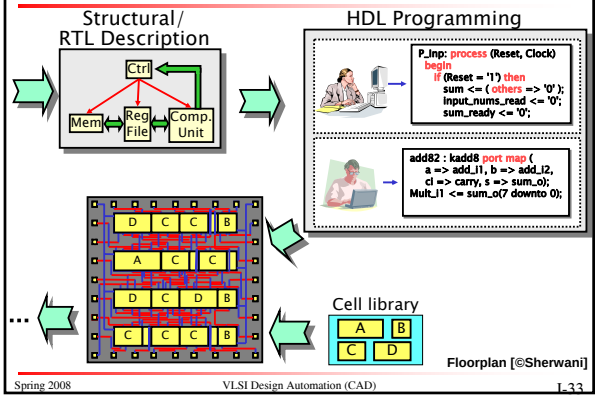
Floorplan [©Sherwani]
Layouts [© Prentice Hall]

Full Custom Design Example



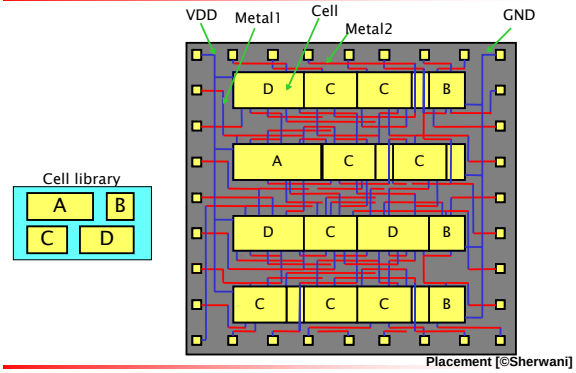
[©Sherwani]

ASIC Design



Floorplan [©Sherwani]

ASIC (Standard Cell) Design Example



Course Outline

- Basic algorithms and complexity theory
  - Circuit representations
  - Classes of problems (P, NP)
  - Classes of algorithms (dynamic programming, network flow, greedy, linear programming, etc.)
  - Graph algorithms
- High-level synthesis
  - Converting high-level languages to RTL
  - Scheduling operations
  - Allocating functional resources (adders, multipliers, registers, etc.)
  - Register minimization

Course Outline (cont.)

- Partitioning
  - FM, KL, hMetis algorithms
- Floorplanning
  - Slicing, non-slicing floorplans
  - Simulated annealing floorplanning algorithms
- Placement / Packing
  - Force-directed
  - Simulated annealing
  - Quadratic placement
- Global / detailed routing
  - Maze routing, line-search, Steiner trees, channel routing,

To Probe Further...

- International Technology Roadmap for Semiconductors (ITRS)
  - http://public.itrs.net/
- SEMATECH
  - http://www.sematech.org/
- Textbook
  - Chapter 1 (Sec. 1.5 optional)